



Der PCI-Local-Bus

von
René Smolin
und
Jens Bretschneider

21. Mai 2001

Dauer: ca. 30 min.

Inhalt

- Einführung
- Technische Daten
- Aufbau und Funktion
- Konfiguration
- BIOS-Einstellungen
- Zukunft
- Quellen

Einführung

- PCI = Peripheral Component Interconnect
- höhere Datenraten zwischen Hauptspeicher und Grafikkarte
- prozessorunabhängiges Bussystem
- einfach zu handhaben und zukunftssicher
- konzipiert von INTEL
- unabhängiges Komitee (PCI SIG)

21. Mai 2001

René Smolin, Jens Bretschneider

3

PCI ist die Abkürzung für Peripheral Component Interconnect.

Grund für die Entwicklung des PCI-Busses war die Einführung der grafikorientierten Betriebssysteme wie z.B. Windows und OS/2. Mit diesen entstanden hohe Anforderungen an die Übertragungsleistung zwischen dem Hauptspeicher und der Grafikkarte, für die die relativ geringen Bandbreiten vieler anderer Bussysteme einen Flaschenhals gebildet haben.

Der PCI-Bus, der einerseits prozessorunabhängig ist, andererseits jedoch mit seiner Leistungsfähigkeit nahe an den Prozessorbus herankommt, hat diesen Flaschenhals beseitigt. Die Prozessornähe wird durch den Zusatz „Local“ im vollständigen Busnamen ausgedrückt.

Des weiteren sollte er einfach zu handhaben und zukunftssicher, also auch für zukünftige Prozessorgenerationen geeignet sein.

Der PCI-Bus wurde im Jahre 1991 von INTEL konzipiert.

Damit PCI immer auf dem neusten Stand ist und ihm nicht das gleiche Schicksal wie dem Mikrokanal (kurz MCA) beschieden ist, hat INTEL die Weiterentwicklung des PCI-Busses an ein unabhängiges Komitee abgegeben, der PCI SIG.

Technische Daten

- **32-Bit-Multiplexbus** (erweiterbar auf 64 Bits)
- **synchron**
- **Bustaktfrequenz von bis zu 33 oder 66 MHz**
 - 132 Mbyte/s bei 32-Bit-Datenweg und 33 MHz
 - 264 Mbyte/s bei 64-Bit-Datenweg und 33 MHz
 - 264 Mbyte/s bei 32-Bit-Datenweg und 66 MHz
 - 528 Mbyte/s bei 64-Bit-Datenweg und 66 MHz
- **Burst-Zyklen variabler Länge**
- **multimasterfähig**

21. Mai 2001

René Smolin, Jens Bretschneider

4

Der PCI-Bus besteht aus einem 32-Bit-Datenweg. Er und seine Buszyklen verwenden ein Multiplexing-Schema, in dem die Leitungen abwechselnd als Adress- und Datenleitung verwendet werden. Das Spart zwar Leitungen ein, dafür sind aber mehr Taktzyklen für einen Einzeltransfer notwendig. Im ersten Taktzyklus muss dann halt noch die Adresse übergeben werden.

Des weiteren ist eine Erweiterung auf 64 Bits vorgesehen. Es können also Steckkarten mit jeweils wahlweise 32- und 64-Bit-breiten PCI-Komponenten betrieben werden.

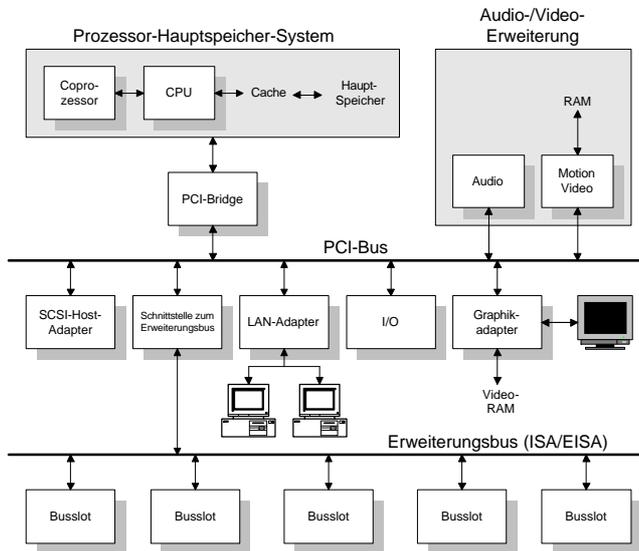
Es handelt sich um einen synchronen Bus mit einer Bustaktfrequenz von bis zu 33 oder 66 MHz. Er ist vorwärts- und rückwärtskompatibel, d.h., es können Steckkarten der jeweils anderen Frequenzauslegung verwendet werden.

Bei einem 32-Bit-Datenweg und einer Bustaktfrequenz von 33 MHz ist ein Datendurchsatz von 132 Mbyte/s möglich. Das entspricht auch den Werten des PCI-Busses eines „normalen“ heute erhältlichen PC. Bei einem 64-Bit-Datenweg und einer Bustaktfrequenz von 66 MHz ist ein Datendurchsatz von 528 Mbyte/s möglich. Diese Variante ist hauptsächlich in Serversystemen zu finden.

Der PCI-Bus arbeitet mit Burst-Zyklen variabler Länge. Burst-Übertragung bedeutet, dass nicht für jeden Datenblock die dazugehörigen Adresse angefordert werden muss, sondern nur die Adresse des ersten Datenblocks und die Daten danach einfach der Reihe nach übertragen werden. Dies funktioniert natürlich nur, wenn im Speicher aufeinanderfolgende Daten abgerufen werden, was in der Praxis relativ häufig vorkommt. Folgen die benötigten Daten im Speicher nicht aufeinander, muss allerdings weiterhin jedes Datenwort mit seiner entsprechenden Adresse angefordert werden. Der Burst beim PCI-Bus ist praktisch unbegrenzt, was nur hier der Fall ist. Als Vergleich, beim VL-Bus ist er auf 4 Datenwörter begrenzt.

Des weiteren erlaubt der PCI-Bus mehrere Busmaster.

Aufbau



5

Der PCI-Bus besteht aus drei Hauptbestandteilen. Der PCI-Bridge, dem Expansion Bus Interface und der Data Path Unit.

Die PCI-Bridge stellt die Verbindung zwischen dem Prozessor-Hauptspeicher-Subsystem und dem PCI-Bus her. Sie setzt CPU-Zyklen in PCI-Zyklen um und umgekehrt. Aus der Sicht des PCI-Bus ist aber auch die Host-Bridge nur ein PCI-Device.

Das Expansion Bus Interface ist die Schnittstelle zum Erweiterungsbus. Das bedeutet, dass der Standarderweiterungsbus – egal ob ISA, EISA, Mikrokanal oder ein anderes Bussystem – hier als PCI-Einheit betrachtet wird. Dadurch kann im Prinzip jedes andere Bussystem integriert und dem PCI-Bus nachgeschaltet werden.

Die Data Path Unit stellt den eigentlichen Bus dar, d.h. die Leitung, an der alle Devices angeschlossen werden. Das sind z.B. SCSI-Host-Adapter, LAN-Adapter, I/O-Einheiten und Graphikadapter. Im Gegensatz zum VL-Bus sollen diese Komponenten möglichst auf dem Motherboard, also als On-Board-Komponenten, integriert sein, werden aber meistens als Slots ausgeführt.

Devices

- Slot oder On-Board
- 10 Devices an einem PCI-Bus
- ein Device für die Host-Bridge
- Slots werden als zwei Devices gezählt

21. Mai 2001

René Smolin, Jens Bretschneider

6

Wie eben bereits erwähnt, können die Devices als Slot- oder als On-Board-Komponenten ausgeführt werden.

Die Anzahl der Devices am PCI-Bus ist durch deren kapazitive Belastung des Busses begrenzt. Die PCI-Definition erlaubt insgesamt 10 Devices an einem PCI-Bus, wobei immer ein Device für die Host-Bridge verwendet werden muss. Die anderen können z.B. für On-Board-Komponenten wie SCSI-, EIDE-, LAN-, oder Graphikadapter verwendet werden. Slots werden hierbei als zwei Devices gezählt.

Sollen darüber hinaus weitere Komponenten angeschlossen werden, so ist das System durch zusätzliche PCI-Busse, sog. Bussegmente, erweiterbar. Die Verbindung zwischen zwei Bussen wird durch eine PCI-to-PCI-Bridge hergestellt.

Master- und Slave-Prinzip

- Master
 - kann Bustransaktionen initiieren
 - übernimmt Kontrolle über die Steuersignale
 - generiert Adresse
 - bestimmt Beginn und Länge einer Bus-Transaktion
- Slave
 - ist auf Master oder Host-CPU angewiesen
 - kann mit einer eigenen CPU ausgerüstet sein
 - meldet sich per Interrupt

21. Mai 2001

René Smolin, Jens Bretschneider

7

Der PCI-Bus unterscheidet zwei Arten von Bus Devices, Master und Slaves.

Master können über alle Ressourcen des Systems verfügen, also auch auf alle PCI-Devices zugreifen. Sie können eigenständig und unabhängig von der Host-CPU Zyklen initiieren und Zugriffe und Transfers durchführen. Solch ein Zugriff wird initiiert, indem der Master die Kontrolle über die Steuersignale übernimmt und die Adressen generiert sowie Beginn und Länge einer Bus Transaktion bestimmt. Weiterhin betreibt er ein Handshake mit dem Slave, wodurch die Anzahl der Wartezustände definiert wird.

Slaves wiederum sind nicht in der Lage Zugriffe oder Transfers zu initiieren und sind deshalb darauf angewiesen, dass die Zugriffe durch einen Master oder die Host-CPU durchgeführt werden. Die Daten sollten ohne eingreifen der CPU geschrieben und gelesen werden können, deswegen kann ein Slave mit einer eigenen CPU ausgerüstet sein. Hat ein Slave von der peripheren Einheit Daten empfangen, so kann er diesen Umstand der CPU oder einem Bus Master per Interrupt melden, die die Daten dann abholen können.

Im Prinzip kann beim PCI-Bus jedes Device ein Master sein. Eine Arbitrierungslogik entscheidet welcher Master als nächstes an der Reihe ist, wenn mehrere Master Anspruch auf den Bus erheben. Die Arbitration selbst erfolgt im Hintergrund mit Hilfe slotspezifischer Steuerleitungen. Ein Watch-Dog-Timer überwacht, dass ein Master den Bus nicht zu lange belegt. Wird die zugestandene Zeit überschritten und ein anderer Master will Daten übertragen, entzieht der Watch-Dog dem ersten den Bus. Dadurch wird verhindert, dass abgestürzte Devices den beanspruchten Bus nicht wieder freigeben (Deadlocks).

PCI-Bridges

Übersicht

- **zum Ankoppeln anderer Bussysteme**
(z.B. ISA, EISA, MCA und PCMCIA)
- **PCI-Busse parallel oder seriell betreiben**
(PCI-to-PCI-Bridges)
 - mehr Slots oder On-Board-Komponenten
 - komplexes System in Teilsysteme aufspalten
 - bis zu 256 Busse

21. Mai 2001

René Smolin, Jens Bretschneider

8

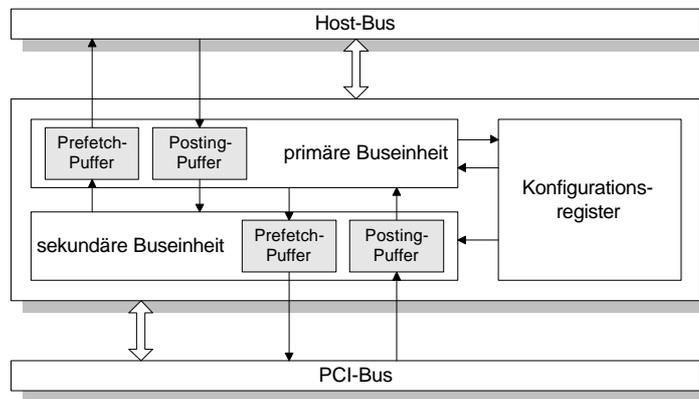
Bridges sind allgemein für den Benutzer transparente Schnittstellen zwischen zwei Bussystemen oder auch zwischen zwei Netzwerken. Um auch andere Karten nutzen zu können, kann über eine entsprechende Bridge der nötige Bus an den PCI-Bus angekoppelt werden. Dadurch können auch ältere Karten weiterverwendet werden.

Die PCI-Spezifikation sieht Bus-Bridges zu eigentlich allen anderen Bussystemen vor, d.h. Bridges für ISA, EISA, Mikrokanal und PCMCIA. Am sinnvollsten ist dabei eine Brücke zwischen PCI und EISA. Damit sind PCI-Karten, 8-Bit-ISA-Karten, 16-Bit-ISA-Karten und EISA-Karten einsetzbar. Auch technisch ist sie hierbei am interessantesten, weil sie halt die meisten Features zu bieten hat. Zudem stellt die EISA-Bridge alle Funktionen einschließlich der vollständigen EISA-Arbitration zur Verfügung. Es ist ebenfalls möglich, Bus-Bridges zu benutzen, die für den IBM-PC nicht üblich sind.

Ein entscheidender Vorteil, den es nur beim PCI-Bus gibt, ist die Existenz einer PCI-to-PCI-Bridge, wodurch zum Beispiel die Anzahl der Slots oder der On-Board-Komponenten erhöht werden kann. Diese Möglichkeit mehrere PCI-Busse parallel oder seriell in einem Rechner zu betreiben, wird durch die Skalierbarkeit des PCI-Busses ermöglicht. Dadurch ist es möglich, ein großes System oder eines mit hohen Leistungsanforderungen in mehrere Teilsysteme aufzuspalten, die unabhängig voneinander arbeiten können, ohne sich zu stören. Insgesamt ist es möglich bis zu 256 Busse einzusetzen, wobei die ersten 255 Busse PCI-Busse sind und der letzte entweder ein weiterer PCI-Bus oder ein Expansion Bus sein kann.

PCI-Bridges

Blockschaltbild



21. Mai 2001

René Smolin, Jens Bretschneider

9

In der Abbildung ist die Blockdarstellung einer PCI-Bridge dargestellt.

Der lokale Bus zur Host-CPU oder zu einer PCI-Bridge, die sich näher bei der Host-CPU befindet, wird als primärer Bus bezeichnet. Und der lokale Bus zu PCI-Einheiten oder einer weiteren PCI-Bridge wird als sekundärer Bus bezeichnet. Die Konfigurationsregister speichern logischerweise die Konfigurationsdaten.

Eine wesentliche Eigenschaft der PCI-Bridge ist, dass sie die Burst-Zugriffe selbständig zusammensetzt. Das bedeutet, dass die PCI-Bridge als Einzeltransfers einlaufende Lese- und Schreibvorgänge zu Burst-Zugriffen zusammensetzt, wenn die Adressen der Einzelzugriffe sequenziell aufeinander folgen.

Zu diesem Zweck sind in der PCI-Bridge umfangreiche und intelligente Schreib- und Lesepuffer vorhanden. Die Prefetch-Puffer lesen Daten auf Vorrat ein, wenn vorher ein Lesezugriff erfolgt ist und möglicherweise weitere Daten angefordert werden. In ähnlicher Weise arbeiten Posting-Puffer, die die Schreibdaten speichern, um sie erst später an den adressierten Bus weiterzugeben.

PCI-Slots

Übersicht

- **Unabhängig von anderen Bussystemen**
- **Adress- und Datenbusbreite von 32 Bits**
(erweiterbar auf 64 Bits)
- **124 Kontakte für den 32-Bit-Anteil**
(188 Kontakte bei 64 Bits)
- **3,3V oder 5V Spannungsversorgung**

21. Mai 2001

René Smolin, Jens Bretschneider

10

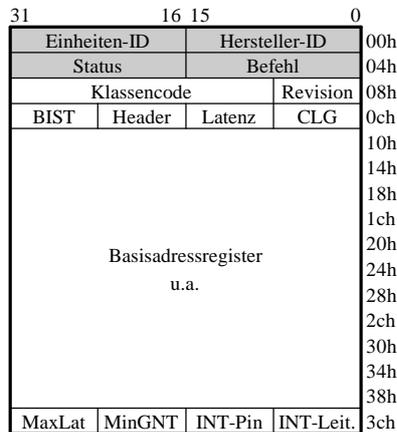
Der PCI-Bus ist auch in seiner Slot-Geometrie und seiner Kontaktbelegung völlig unabhängig von allen existierenden Bussystemen. Er ist kompromisslos auf eine Adress- und Datenbusbreite von 32 Bits ausgelegt. D.h., 8-Bit- und 16-Bit-Abschnitte sind nicht vorgesehen. Statt dessen ist, wie bereits erwähnt, eine Erweiterung auf 64 Bits vorgesehen.

Der 32-Bit-Anteil weist 124 Kontakte auf, von denen jedoch nur 120 tatsächlich belegt sind. Die restlichen vier Kontakte sind durch Codierstege blockiert. Was das ist, werde ich euch gleich noch zeigen. Der 64-Bit-Abschnitt ist vom 32-Bit-Anteil ebenfalls durch einen Steg getrennt. Durch die eng beieinanderliegenden Kontakte ist der 64-Bit-PCI-Slot trotz seiner maximalen 188 Kontakte recht kompakt. Die Kontaktzahl ist durch das Adress/Daten-Multiplexing logischerweise noch stark reduziert.

PCI definiert zwei verschiedene Slot-Geometrien für 3,3-V-, 5-V- und Universaladapter. Universaladapter sind für beide Varianten ausgelegt. Sie werden durch verschiedene Kodierstege voneinander unterschieden, so dass Adapter nicht fehlerhaft eingesetzt werden können. Die 3,3-V-Technologie wird hauptsächlich in stromsparende Notebooks oder Green-PCs eingesetzt. Dadurch wird bei CMOS-Schaltkreisen die Leistungsaufnahme halbiert. Diese hängt nämlich quadratisch von der Versorgungsspannung ab. Manche höchstintegrierten Schaltungen können darüber hinaus die normalen 5V gar nicht mehr vertragen, weil ihre internen Strukturen, wie z.B. die Kanalbreite der MOSFETs, durchbrennen würden.

Konfigurationsadressraum

Übersicht



- Größe: 256 Bytes, davon:
 - 64 Bytes Header
 - 192 Bytes frei verfügbar
- Nur die ersten 8 Bytes (grau) müssen vorhanden sein

21. Mai 2001

René Smolin, Jens Bretschneider

12

Nach dem Einschalten oder einem Reset des PCs sind erst einmal alle PCI-Karten deaktiviert. Erst das BIOS aktiviert die Karten der Reihe nach und teilt ihnen Ressourcen (das sind Interrupts, IO- oder Speicherbereiche) zu.

Dazu verfügt jede PCI-Karte über einen 256 Bytes großen Konfigurationsadressraum, wovon allerdings nur die ersten 64 Bytes zur Konfiguration genutzt werden, der Rest kann durch die Hersteller frei verwendet werden. Von den ersten 64 Bytes, dem sog. Header, sind wiederum nur die ersten 8 Bytes Pflicht, allerdings sollte jede Karte den Header vollständig ausfüllen.

Im folgenden sollen einige wichtige Felder im Header kurz beschreiben werden.

Konfigurationsadressraum

Identifizierung

31		16 15		0		
Einheiten-ID		Hersteller-ID				00h
Status		Befehl				04h
Klassencode			Revision			08h
BIST	Header	Latenz	CLG			0ch
Basisadressregister u.a.						10h
						14h
						18h
						1ch
						20h
						24h
						28h
						2ch
						30h
						34h
38h						
3ch						
MaxLat	MinGNT	INT-Pin	INT-Leit.			

- **Hersteller-ID**
wird von PCI-SIG
eindeutig vergeben
- **Einheiten-ID**
wird vom jeweiligen
Hersteller vergeben (keine
Seriennummer!)
- **Klassencode**
unterscheidet Geräteklasse
(Sound, SCSI, VGA, ...)

21. Mai 2001

René Smolin, Jens Bretschneider

13

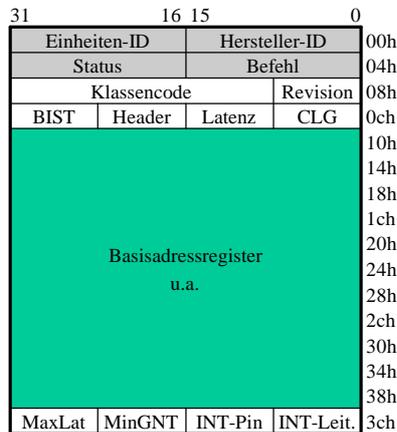
Die wichtigsten Felder im Header sind die Einheiten- und die Hersteller-ID. Das Feld Hersteller-ID enthält eine eindeutige Kennung, mit der die Karte einem bestimmten Hersteller zugeordnet werden kann. Diese Kennung wird von der PCI-Gruppe eindeutig vergeben, zwei verschiedene Hersteller haben niemals die gleiche Kennung.

Die Einheiten-ID wird vom Hersteller der PCI-Karte vergeben und entspricht einer Modellnummer. Mithilfe dieser Nummer und der Hersteller-ID kann ein Treiber eindeutig erkennen, ob er für das entsprechende Gerät zuständig ist oder nicht. Oftmals wird hierfür die Chipsatz-Nummer verwendet.

Schließlich gibt es noch einen Klassencode, mit dem die PCI-Geräte grob verschiedenen Klassen zugeordnet werden können.

Konfigurationsadressraum

Basisadressregister



- Aufbau des Basisadressregisters ist unterschiedlich, enthält z.B.
 - Basis-IO-Adresse
 - Basis-Speicheradresse
 - Basis-Erweiterungs-ROM-Adresse
 - Sub-Hersteller-ID
 - Sub-Einheiten-ID

21. Mai 2001

René Smolin, Jens Bretschneider

14

Der größte Bereich im Konfigurationsadressraum enthält u.a. Register für die Basis-IO-Adresse und die Basis-Speicheradresse des Gerätes, das BIOS verschiebt diese jeweils in einen passenden, freien Bereich. Ebenso kann eine Erweiterungs-ROM-Adresse enthalten sein, um z.B. ein VGA-BIOS oder ein BootROM in den Speicher einzublenden.

Ebenfalls fast immer vorhanden sind Sub-Hersteller-ID und Sub-Einheiten-ID. Diese Register entsprechen den bereits beschriebenen Hersteller- und Einheiten-IDs, allerdings ist es hierüber möglich, sowohl Chipsatz- als auch Kartenhersteller zu kennzeichnen.

Ein Beispiel: Die Hersteller-ID könnte bei einer Grafikkarte die Kennung von NVidia tragen, damit würde die Grafikkarte sofort von generischen Betriebssystem-Grafiktreibern erkannt und korrekt ins System eingebunden. Die Sub-Hersteller-ID könnte aber die Kennung von ELSA tragen und damit den ELSA-eigenen Grafikkartentreibern ermöglichen, die ELSA-Karte von anderen Grafikkarten mit NVidia-Chipsatz zu unterscheiden.

Konfigurationsadressraum

Interrupt-Zuteilung

31		16 15		0		
Einheiten-ID		Hersteller-ID				00h
Status		Befehl				04h
Klassencode			Revision			08h
BIST	Header	Latenz	CLG			0ch
Basisadressregister u.a.						10h
						14h
						18h
						1ch
						20h
						24h
						28h
						2ch
						30h
						34h
38h						
MaxLat	MinGNT	INT-Pin	INT-Leit.			3ch

- **INT-Pin**
bestimmt den zugeordneten PCI-Interrupt-Pin INTA#..INTD#
- **INT-Leitung**
bestimmt die zugehörige Interrupt-Leitung (0..15)

21. Mai 2001

René Smolin, Jens Bretschneider

15

Die Register INT-Pin und INT-Leitung schließlich beschreiben den dem Gerät zugeordneten Interrupt. Dabei wird zwischen der entsprechenden Leitung am PCI-Slot (INTA..D) und der entsprechenden Leitung am Interrupt-Controller (0..15) unterschieden. Das wird in den folgenden Folien noch näher erläutert.

Interrupt-Leitungen

Anzahl und Belegung (1)

IRQ-Nr.	Belegt durch
0	PC-Taktgeber
1	Tastatur
2	Zweiter Interruptcontroller (IRQ 8-15)
3	COM2
4	COM1
5	(LPT2, Soundkarte)
6	Diskettencontroller
7	(LPT1)
8	Echtzeit-Systemuhr
9	(VGA)
10	
11	
12	PS/2-Mausanschluss
13	Mathematischer Coprozessor
14	Primärer IDE-Kanal
15	Sekundärer IDE-Kanal

- 16 Interrupt-Leitungen
- Aufgeteilt auf zwei Interruptcontroller (1..7 / 8..15)
- Interrupts 8 bis 15 werden über IRQ 2 an den ersten Controller gemeldet

21. Mai 2001

René Smolin, Jens Bretschneider

16

Jeder PC ab dem 286er verfügt über insgesamt 16 Interrupt-Leitungen, die sich auf zwei Interrupt-Controller verteilen. Dabei werden die Interrupts am zweiten Controller, also 8 bis 15, über Interrupt 2 an den ersten Controller weitergeleitet, der diese dann an die CPU weitergibt.

In der Tabelle ist die gängige Interrupt-Belegung bei PCs zu sehen. Auf den ersten Blick ist dabei sogar noch Platz, es sind nicht alle Interrupts vergeben.

Interrupt-Leitungen

Anzahl und Belegung (2)

IRQ-Nr.	Belegt durch
0	PC-Taktgeber
1	Tastatur
2	Zweiter Interruptcontroller (IRQ 8-15)
3	COM2
4	COM1
5	(LPT2, Soundkarte)
6	Diskettencontroller
7	(LPT1)
8	Echtzeit-Systemuhr
9	(VGA)
10	
11	
12	PS/2-Mausanschluss
13	Mathematischer Coprozessor
14	Primärer IDE-Kanal
15	Sekundärer IDE-Kanal

- Von 16 Interrupt-Leitungen sind nur max. 5 frei verfügbar
- Aufzuteilen auf ISA, AGP, PCI (mehrfach), USB, Onboard-IDE/SCSI/LAN
- Nur möglich durch  Interrupt-Sharing

21. Mai 2001

René Smolin, Jens Bretschneider

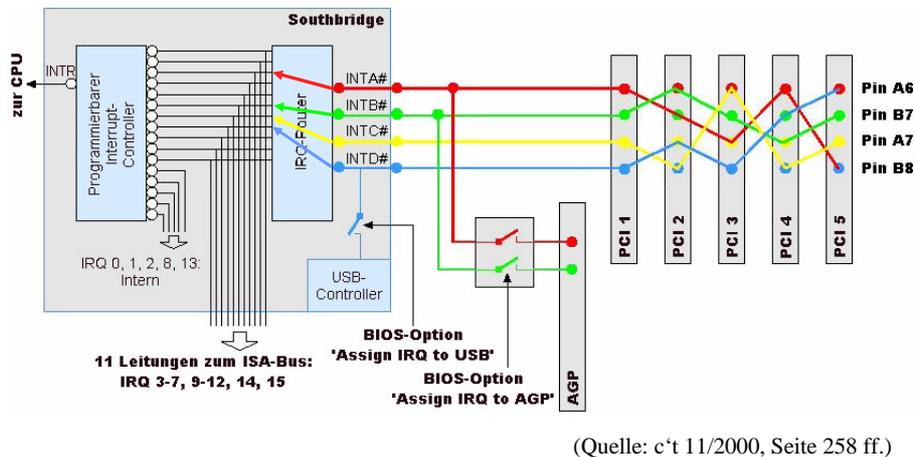
17

Bei genauerem Hinschauen sind zwar ganze 5 Interrupts verfügbar, allerdings müssen diese 5 Interrupts alle ISA- und PCI-Slots, den AGP-Slot, den USB-Bus und sämtliche weitere Onboard-Komponenten wie UDMA100- oder LAN-Controller versorgen.

Das ist nur mithilfe von Interrupt-Sharing möglich: Ein Interrupt wird mehreren Geräten zugeordnet, und der Treiber im Betriebssystem entscheidet schließlich, welches Gerät den Interrupt wirklich ausgelöst hat. Möglich ist das nur mit neueren Architekturen wie dem PCI-Bus; der ISA-Bus bietet aus Kompatibilitätsgründen keine Möglichkeit zum Interrupt-Sharing.

Interrupt-Zuordnung

Übersicht



21. Mai 2001

René Smolin, Jens Bretschneider

18

Diese Grafik aus der c't zeigt recht übersichtlich, wie die einzige Interrupt-Leitung der CPU im System „verteilt“ wird. Ein programmierbarer Interrupt-Controller (bzw. zwei) dient als Multiplexer und stellt 16 Interrupt-Leitungen zur Verfügung. Davon werden einige bereits intern verwendet (Tastatur, Koprozessor usw.) und nicht zu den Bussen weitergeführt, andere gelangen sowohl zum ISA-Bus als auch zu einem Router, der eine Auswahl von 4 der 11 übrigen Leitungen an USB-, PCI- und AGP-Bus durchschaltet, bezeichnet mit INTA bis INTD.

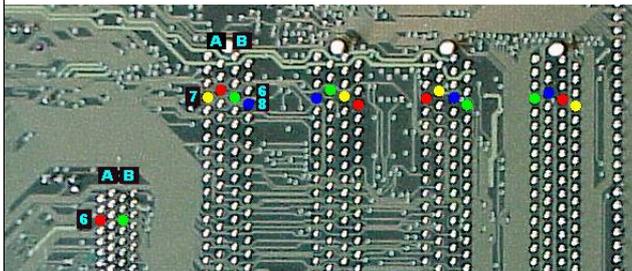
Auf dem PCI-Bus werden die Leitungen schließlich von Slot zu Slot unterschiedlich auf die Pins verteilt, um so vielen Geräten wie möglich „eigene“ Interrupts zuteilen zu können. Allerdings sind bestimmte Überschneidungen nicht zu vermeiden, z.B. teilen sich der AGP-Slot und der 1. PCI-Slot grundsätzlich die Interrupts INTA und INTB.

PCI-Karten mit nur einem Gerät dürfen grundsätzlich nur den ersten Pin A6 verwenden, die weiteren Interruptpins pro Slot stehen für Kombikarten zur Verfügung, die mehrere Geräte beherbergen (z.B. Videoschnittkarte mit Soundkarte). Je mehr Slots belegt sind und je mehr Kombikarten verwendet werden, desto mehr Geräte müssen sich einen Interrupt teilen.

Ebenso kann der Router so programmiert werden, dass nicht jeder INT auf eine eigene Interrupt-Leitung abgebildet wird, sondern dass mehrere INT auf eine Interrupt-Leitung verweisen. Im Extremfall zeigen alle INT-Leitungen auf die gleiche Interrupt-Leitung. In der Theorie sollte das wegen des vorgeschriebenen Interrupt-Sharings keine Probleme bereiten, in der Praxis sieht das leider manchmal anders aus (stockende Sounds, ruckelnde Grafik).

Interrupt-Zuordnung

Beispiel



The photograph shows the back of a motherboard with an AGP slot on the left and four PCI slots labeled PCI1, PCI2, PCI3, and PCI4. Small colored markers (red, green, yellow, blue) are placed on the pins of the slots to indicate interrupt assignments. A legend on the right side of the image lists the assignments: A6 (red) to INTA#, B7 (green) to INTB#, A7 (yellow) to INTC#, and B8 (blue) to INTD#. Below the legend, it is noted that this corresponds to PCI-Slot 1. The motherboard model is identified as Intel AL440LX.

A6	INTA#
B7	INTB#
A7	INTC#
B8	INTD#

(entsprechend PCI-Slot 1)

AGP PCI1 PCI2 PCI3 PCI4 (Motherboard Intel AL440LX)

21. Mai 2001 René Smolin, Jens Bretschneider 19

Dieses Foto zeigt ein älteres Mainboard der Fa. Intel, an dem wir die Interrupt-Leitungs-Zuordnung einmal mit einem Multimeter nachgemessen haben. Auf der Bestückungsseite sind die vier PCI-Slots und der AGP-Slot gut zu erkennen.

Auf der Lötseite haben wir nun anhand der vier Farben gekennzeichnet, wie die Belegung von Slot zu Slot wechselt. Die vier PCI-Slots sind komplett verschieden belegt, die INT-Leitungen rotieren jeweils.

Die Verbindung zum AGP-Slot ist nicht meßbar, da für die BIOS-Option „Assign IRQ to AGP“ hier ein zusätzliches Logikgatter in der Leitung liegt, um die Interrupt-Zuordnung zum AGP-Slot komplett unterbinden zu können.

BIOS-Einstellungen

Interrupt-Zuordnung (1)

```
Slot 1 IRQ : Auto
Slot 2 IRQ : Auto
Slot 3 IRQ : Auto
Slot 4/5 IRQ : Auto
```

- *Slot x IRQ*
Steuert die Zuordnung der Interruptleitungen 3..15 zum ersten Interrupt-Pin des Slots
 - *Auto*
Das BIOS versucht, die verfügbaren Interrupts bestmöglich zu verteilen
 - *9..15*
Ordnet eine Interruptleitung fest dem ersten Interrupt-Pin des Slots zu

(Award-BIOS 4.51, ASUS P2B-F)

21. Mai 2001

René Smolin, Jens Bretschneider

20

Schließlich beeinflussen auch die Einstellungen im BIOS, wie die Interrupts 3..15 auf die Leitungen INTA..INTD verteilt werden. Über die Option Slot x (uses) IRQ y lässt sich der Interrupt-Router manuell steuern. Die Bezeichnung „Slot x“ ist hierbei nicht wirklich korrekt, weil immer, wie gesehen, alle 4 Leitungen an alle Slots geführt werden. Gemeint ist hierbei der jeweils erste Interrupt-Pin des Slots, durch die versetzte Zuordnung zu den Slots stellen die Optionen damit die Leitungen INTA..INTD dar.

BIOS-Einstellungen

Interrupt-Zuordnung (2)

IRQ	3	Used	By	ISA	:	No/ICU
IRQ	4	Used	By	ISA	:	No/ICU
IRQ	5	Used	By	ISA	:	No/ICU
IRQ	7	Used	By	ISA	:	No/ICU
IRQ	9	Used	By	ISA	:	No/ICU
IRQ	10	Used	By	ISA	:	Yes
IRQ	11	Used	By	ISA	:	No/ICU
IRQ	12	Used	By	ISA	:	No/ICU
IRQ	14	Used	By	ISA	:	No/ICU
IRQ	15	Used	By	ISA	:	No/ICU

- *IRQ x Used By ISA*
Legt fest, welche Interruptleitungen das BIOS zuordnen darf
 - *Yes*
Die Interruptleitung wird von einer „alten“ ISA-Karte verwendet und steht daher nicht zur Verfügung
 - *No/ICU*
Die Interruptleitung wird nicht von einer „alten“ ISA-Karte verwendet. Sie kann aber durchaus einer „neuen“ ISA-PnP-Karte zugeordnet werden

(Award-BIOS 4.51, ASUS P2B-F)

21. Mai 2001

René Smolin, Jens Bretschneider

21

Damit das BIOS weiß, welche Interrupts es für Plug'n'Play-Geräte zuordnen darf, muss ihm mitgeteilt werden, welche Interrupts alten, nicht Plug'n'Play-fähigen ISA-Karten fest zugeordnet wurden, z.B. einer alten Fritz!Card Classic oder einer Soundblaster 16. Alle hier nicht ausgeschlossenen Interrupts werden auf die PCI- und ISA-PnP-Karten verteilt, wobei letztere über einen ähnlichen Konfigurationsmechanismus wie PCI-Karten verfügen, aber trotzdem kein Interrupt-Sharing beherrschen.

BIOS-Einstellungen

Plug'n'Play

PNP OS Installed : No

- *PNP OS Installed*
Bestimmt, ob die Geräte durch das BIOS oder das OS konfiguriert werden
 - *Yes*
Es werden nur die zum Booten wichtigen Geräte (VGA, IDE, SCSI, ...) konfiguriert, alle weiteren Geräte (Sound, ...) werden abgeschaltet und später durch das OS konfiguriert
 - *No*
Es werden alle Geräte komplett konfiguriert

(Award-BIOS 4.51, ASUS P2B-F)

21. Mai 2001

René Smolin, Jens Bretschneider

22

Die Einstellung „PNP OS Installed“ schließlich bestimmt, wie umfangreich das BIOS das System konfigurieren soll. Sofern ein Plug'n'Play-Betriebssystem vorhanden ist, reicht es, wenn nur die zum Booten notwendigen Geräte, z.B. VGA-Karte oder Festplatten-Controller, durch das BIOS konfiguriert werden, weitere, unwichtige Geräte wie z.B. Soundkarten werden dann erst durch das Betriebssystem eingerichtet. Diese Vorgehensweise entspricht dem Wunsch von Microsoft, mehr Kontrolle über das System ausüben zu können, führt jedoch in der Praxis immer wieder zu Problemen. In Verbindung mit Windows 2000 empfiehlt selbst Microsoft wieder, „PNP OS Installed“ auf „NO“ zu setzen.

Zukunft: PCI-X

Die Entwickler

- Entwickelt von HP, IBM und Compaq
- Intel, DELL usw. wurden an der Entwicklung nicht beteiligt
- Mittlerweile übergeben an PCI-SIG



21. Mai 2001

Ein Blick in die Zukunft von PCI: Von den Firmen HP, IBM und Compaq wurde als Nachfolger der PCI-X-Bus entwickelt, allerdings unter Ausschluss von Intel, DELL und anderen führenden Herstellern. Daher weigern sich diese nun, PCI-X zu akzeptieren, Intel z.B. hatte die erste Version des PCI-Busses vollständig alleine entwickelt und fühlt sich übergangen. DELL teilt sich mit Compaq die Marktführerschaft bei den PC- und Server-Verkäufen und fürchtet, durch den Entwicklungsvorsprung von Compaq Nachteile zu haben.

Mittlerweile wurde PCI-X von der PCI-SIG offiziell übernommen und als offener Standard weiterentwickelt. Ob er sich durchsetzt, bleibt abzuwarten.

Zukunft: PCI-X

Die Technik

- Performance:
Transferrate: bis zu 1 GByte/s
Frequenz: bis zu 133 MHz
Busbreite: 64 Bit
- Abwärtskompatibel (Hard- und Software)
- Bereits erhältlich, Einsatz im Server-Bereich

21. Mai 2001

René Smolin, Jens Bretschneider

24

In der Performance erreicht PCI-X beachtliche Werte, allerdings sind diese Frequenzen und Transferraten auf wenige Slots beschränkt, weitere Slots müssen langsamer getaktet werden.

Der Vorteil von PCI-X liegt sicherlich in der Kompatibilität zum bisherigen PCI-Bus, PCI-X-Slots können transparent dazugefügt werden.

PCI-X-Komponenten sind im Server-Bereich bereits vereinzelt im Einsatz, der große Durchbruch lässt jedoch noch auf sich warten.

Quellen

Bücher:

- Mikroprozessor-Technik
Flik/Liebig
Springer Verlag, 1998
- PC-Schaltungstechnik
Bernstein
Franzis, 1998
- PCI in der Industrie
Blank/Strass/Chochoiek
Markt und Technik, 1998

Zeitschriften-Artikel:

- Unterbrecher-Kontakte
Siering /Windeck
c't 11/2000, Heise-Verlag
- Pascal goes PCI
Andreas Stiller
c't 02/1996, Heise-Verlag